

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-309180

(43)Date of publication of application : 04.11.1994

(51)Int.Cl.

G06F 9/46

(21)Application number : 05-096131

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.04.1993

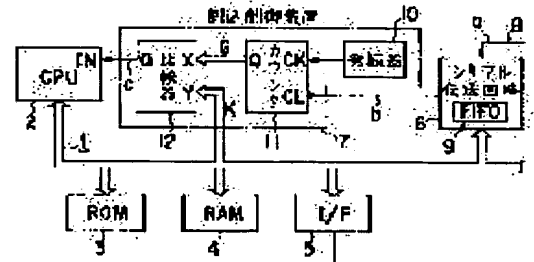
(72)Inventor : YAMAGISHI TAKASHI

(54) INTERRUPT CONTROLLER FOR COMPUTER SYSTEM

(57)Abstract:

PURPOSE: To execute interrupt processing at an optimum timing in accordance with the processing condition of an arithmetic processing part with respect to interrupt requests successively inputted from the outside.

CONSTITUTION: In the interrupt controller for computer system where interrupt processing requests successively inputted from the outside are temporarily stored and an interrupt signal (c) is applied to an arithmetic processing part 2 for execution of various processing applications thereafter to execute respective stored interrupt processing requests at a time, an interrupt priority level C which is raised in accordance with a time T elapsed after the input time of an interrupt processing request is calculated, and the interrupt signal is applied to the arithmetic processing part 2 when the calculated interrupt priority level G is higher than a priority level K of the processing application executed in the arithmetic processing part 2 at present. An interrupt priority level Ga is raised correspondingly to a number N of interrupt processing requests waiting for interrupt processing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-309180

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl.⁵

G 0 6 F 9/46

識別記号

3 2 2 D

庁内整理番号

8120-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21)出願番号

特願平5-96131

(22)出願日

平成5年(1993)4月22日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 山岸 孝

東京都府中市東芝町1番地 株式会社東芝
府中工場内

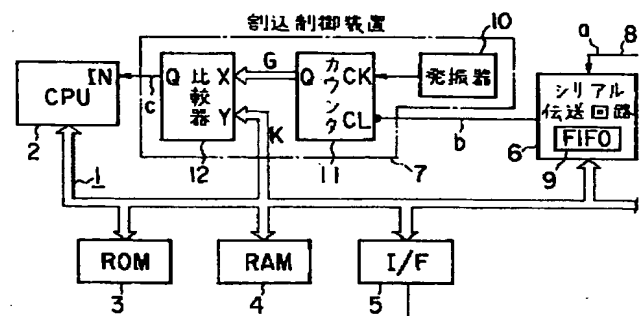
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 コンピュータシステムの割込制御装置

(57)【要約】

【目的】 外部から順次入力される割込要求を演算処理部の処理状況に応じて、最適のタイミングで割込処理を実行させる。

【構成】 外部から順次入力される各割込処理要求を一旦記憶して、その後、各種処理業務を実行する演算処理部2に割込信号cを印加して記憶された各割込処理要求を一度に実行させるコンピュータシステムの割込制御装置において、割込処理要求の入力時刻からの経過時間Tに伴って優先度が上昇する割込優先度Gを算出し、算出された割込優先度Gが演算処理部2における実行中処理業務の優先度Kより高い場合に演算処理部2に割込信号を印加するようにしている、また、割込優先度G aを割込処理待ちの割込処理要求数Nに対応して上昇させている。



(2)

1

【特許請求の範囲】

【請求項1】 外部から順次入力される各割込処理要求を一旦記憶して、その後、各種処理業務を実行する演算処理部に割込信号を印加して前記演算処理部に前記記憶された各割込処理要求を一度に実行させるコンピュータシステムの割込制御装置において、前記割込処理要求の入力時刻からの経過時間に伴って優先度が上昇する割込優先度を算出する割込優先度算出手段と、

この割込優先度算出手段にて算出された割込優先度が前記演算処理部における実行中処理業務の優先度より高い場合に前記演算処理部に前記割込信号を印加する優先度比較手段とを備えたコンピュータシステムの割込制御装置。

【請求項2】 外部から順次入力される各割込処理要求を一旦記憶して、その後、各種処理業務を実行する演算処理部に割込信号を印加して前記演算処理部に前記記憶された各割込処理要求を一度に実行させるコンピュータシステムの割込制御装置において、前記記憶された割込処理要求数の増加に伴って優先度が上昇する割込優先度を算出する割込優先度算出手段と、この割込優先度算出手段にて算出された割込優先度が前記演算処理部における実行中処理業務の優先度より高い場合に前記演算処理部に前記割込信号を印加する優先度比較手段とを備えたコンピュータシステムの割込制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は外部から順次入力される各割込処理要求を、CPU等の各種処理業務を実行中の演算処理部に割込信号を印加することによって強制実行させるコンピュータシステムの割込制御装置に関する。

【0002】

【従来の技術】 一般にコンピュータシステムにおいては、CPU（中央処理装置）は各種の処理業務を所定の順序で実行している。しかし、処理の種類によっては、外部から実行指令が入力されたのち実行する業務もある。この実行指令の入力時刻が予測できない場合もある。このような場合、一般に割込処理でこの業務を実行する。

【0003】 しかし、CPUは他の業務も実行しているので、割込処理要求が発生した場合に、無条件に割込業務を実行すると、本来の業務に支障を来す場合がある。このため、複数の割込要求が存在する場合は、各割込要求毎に、それぞれその割込業務の重要度に応じた個別の固定優先度が設定されていた。

【0004】 一方、CPUが実行する各種の処理業務においてもそれぞれ重要度が設定されていたり、多くの処理業務を実行している場合等においては、CPUの処理負担が大きくなり、即座に割込処理要求に応じるのが不

2

適切な場合がある。

【0005】 したがって、割込処理要求が発生した場合に、該当割込要求の優先度とCPUが現在実行中の処理業務の優先度とを比較して、割込処理要求の優先度が高い場合に、CPUに対して割込信号を送出して該当割込要求を実行させるようにしている。

【0006】

【発明が解決しようとする課題】 しかしながら、上述したように、各割込要求毎に優先度を予め設定して割込制御を実施する割込制御装置においてもまだ解消すべき次のような課題があった。すなわち、例えば、外部からシリアル伝送回路を介して順次入力されるデータ等の割込処理要求をCPUで割込処理する場合においては、シリアル伝送回路を介して順次入力される各割込要求相互間の優先度は大差ないと見なすことができる。

【0007】 このような場合においても、各割込要求毎に優先度を設定する必要があるが、この各優先度を設定するのが非常に難しい。例えば、外部からシリアル伝送回路を介して順次入力されるデータ等の割込処理要求をCPUで割込処理する場合、割込優先度を高くしすぎると、短時間にシリアル伝送回路を介して多数の割込処理要求が入力した場合においては、CPUが常に割込処理を実行していることになり、他の処理業務を実施できない問題が生じる。

【0008】 また、割込処理要求の優先度を高くしすぎると、シリアル伝送回路を介して順次入力される類似した割込処理要求を短い間隔を開けて繰り返し実行するために、CPUの処理能率が大幅に低下する懸念もある。

【0009】 逆に、割込処理要求の優先度を低くしすぎると、シリアル伝送回路を介して入力された割込処理要求が長期間実行されなくて、シリアル伝送における伝送応答性が低下する問題が生じる。

【0010】 本発明はこのような事情に鑑みてなされたものであり、割込処理要求の優先度を固定化せず、割込要求の入力状況に応じて割込要求を変化させることによって、シリアル伝送における伝送応答性を低下することなく、かつ演算処理部における業務処理が平均化され、コンピュータシステム全体の業務処理を円滑に行うことができるコンピュータシステムの割込制御装置を提供することを目的とする。

【0011】

【課題を解決するための手段】 上記課題を解消するために本発明は、外部から順次入力される各割込処理要求を一旦記憶して、その後、各種処理業務を実行する演算処理部に割込信号を印加して演算処理部に前記記憶された各割込処理要求を一度に実行させるコンピュータシステムの割込制御装置において、割込処理要求の入力時刻からの経過時間に伴って優先度が上昇する割込優先度を算出する割込優先度算出手段と、割込優先度算出手段にて算出された割込優先度が演算処理部における実行中処理

(3)

3

業務の優先度より高い場合に演算処理部に割込信号を印加する優先度比較手段とを備えたものである。

【0012】また、別の発明においては、上述した発明における割込優先度算出手段を、記憶された割込処理要求数の増加に伴って優先度が上昇する割込優先度を算出するように変更したものである。

【0013】

【作用】このように構成されたコンピュータシステムの割込制御装置においては、外部から各割込要求が順次入力され一旦記憶されるが、一つの割込要求が入力した時刻からの時間が経過すると、時間経過に伴って割込要求の優先度が上昇していく。そして、この割込優先度が演算処理部における実行中処理業務の優先度より高くなると演算処理部に割込信号が印加される。その結果、該当する割込要求及び割込優先度が実行中処理業務の優先度に達するまでに入力された各割込要求が一度に割込処理される。

【0014】このように、割込要求の入力時刻からの経過時間と演算処理部の実行中処理業務の優先度とが均衡したタイミングで割込処理が実行される。したがって、割込要求が過度に待たされることなく、また演算処理部に過度の処理負担が加わることはない。

【0015】また、別の発明においては、順次入力される割込処理要求が実行中処理業務の優先度に対応する個数以上溜まると、これらの各割込要求が一度に割込処理される。したがって、類似した割込処理要求がまとめて実行されるので、演算処理部を含むコンピュータシステム全体の処理能力が向上する。

【0016】

【実施例】以下本発明の一実施例を図面を用いて説明する。図1は本発明の割込制御装置が組込まれたコンピュータシステム全体を示すブロック図である。このコンピュータシステムは、例えばプラント設備を構成する各種機器からプロセスデータを取込んでこのプロセスデータに対して所定の制御演算を実施して演算結果を操作量として各機器へ送信する機能を有する。

【0017】バスライン1に対して、各種処理業務を実行する演算処理部としてのCPU（中央処理装置）2、各種固定データを記憶するROM3、各種可変データを記憶するRAM4、外部装置との間のデータ伝送を行うためのインタフェース5、シリアル伝送回路6及び割込制御装置7が接続されている。

【0018】前記ROM3内にはこのコンピュータシステムで実行する多数の業務処理プログラム（タスク）が記憶されている。そして、各業務処理毎にそれぞれ独自の優先度Kを有している。

【0019】また、シリアル伝送回路6には、伝送路8を介して前述した各機器から割込処理要求としての所定ビット数で形成されたデータaが非同期で順次入力される。したがって、順次入力される各データaからなる割

4

込処理要求は全て同一の重要度を有している。シリアル伝送回路6内には、この順次入力されるデータaを時系列的に記憶する複数の記憶領域を有したFIFO（先入先出）型レジスタ9が設けられている。

【0020】そして、シリアル伝送回路6は、このFIFO型レジスタ9に1個でもデータaが記憶されている状態において、H（ハイ）レベルの割込要求信号bを次の割込制御装置7へ送出する。

【0021】割込制御装置7は、発振器10、カウンタ11及び比較器12とで構成されている。カウンタ11は、シリアル伝送回路6からHレベルの割込要求信号bがクリア端子CLへ印加されると、クリア状態が解除され、クロック端子CKへ印加されているクロック信号のクロック数の計数を開始する。したがって、このクロック数が経過時間Tに比例する割込処理要求に対する割込優先度Gとなる。複数ビットで示される割込優先度Gは出力端子Qから次の比較器12のX端子へ送出される。したがって、割込優先度Gは時間経過に伴って上昇する。

【0022】そして、シリアル伝送回路9からの割込要求信号bがL（ロー）レベルに解除されると、クロック数がクリアされるので、割込優先度Gは0になる。比較器12のY端子には、CPU2からバスラッパ1を介して現在実行中の処理業務（タスク）毎に予め設定された複数ビットで示される優先度Kが印加される。したがって、CPU2の実行中の処理業務が他の処理業務に変わると、優先度Kも変化する。また、CPU2が一連の処理業務を終了して待機状態になると、優先度Kは0になる。

【0023】比較器12は割込優先度GとCPU2の実行中処理業務の優先度Kとを比較して、割込優先度Gが実行中の優先度Kを越えた時点でCPU2の割込端子INに対して割込信号cを印加する。

【0024】CPU2は、通常状態において、ROM3に記憶されている各種の処理業務を所定の順序及び所定のタイミングで実行している。なお、一つの処理業務の実行開始前に、この処理業務の優先度Kを比較器12のY端子へ送出する。また、CPU2は割込制御装置7から割込信号cが入力されると、現在実行中の処理業務を一旦中断して、シリアル伝送回路6のFIFO型レジスタ9に記憶されている各データaを記憶順に読出して、読出した各データaに対する所定の割込処理を実行する。

【0025】CPU2はFIFO型レジスタ9に記憶されている全てのデータaに対する割込処理が終了すると、中断中の処理業務を再開する。次に、このように構成されたコンピュータシステムの割込制御装置の具体的な動作を図2のタイムチャートを用いて説明する。

【0026】伝送路8を介して、非同期な時刻 t_1 、 t_2 、 t_3 、 t_7 において、各データaが入力されるとす

50

(4)

5

る。そして、時刻 t_1 以前においては、FIFO型レジスタ9にデータaが記憶されていないと仮定する。また、CPU2における実行中の各処理業務の優先度Kが図示するように変化するとする。

【0027】この場合、時刻 t_1 において、受信したデータaはFIFO型レジスタ9へ一旦記憶される。また、シリアル伝送回路6から出力される割込要求信号bがLレベルからHレベルへ変化する。その結果、カウンタ11はクロックの計数を開始し、カウンタ11から出力される割込優先度Gが時間経過と共に上昇開始する。時刻 t_1 においては、CPU2は処理業務を実行中であるので、割込優先度Gが実行中処理業務の優先度Kを越えることはないので、今回のデータaに対する割込処理は実行されない。

【0028】そして、時刻 t_2 、 t_3 にて次の各データaが入力しても各時点において、FIFO型レジスタ9の先頭記憶領域に記憶されている先のデータaに対する割込優先度Gが実行中処理業務の優先度Kに達していないので、今回の各データaに対する割込処理も直ぐに実施されない。

【0029】時刻 t_4 において、割込優先度Gが実行中処理業務の優先度Kを越えると、比較器12からCPU2に割込信号cが印加される。その結果、CPU2はFIFO型レジスタ9に記憶されている3個のデータaを順番に読出で、各データaに対してまとめて割込処理Pを実施する。

【0030】時刻 t_5 において、CPU2における割込処理が終了すると、FIFO型レジスタ9の全てのデータaがクリアされるので、シリアル伝送回路6から出力されている割込要求信号bがLレベルへ解除される。その結果、時刻 t_5 において、割込優先度Gが0に戻る。

【0031】また、時刻 t_6 において、CPU2が待機状態になり、時刻 t_7 にて新たなデータaを受信すると、割込優先度Gが直ぐに実行中処理業務の優先度Kを越えるので、時刻 t_7 にて割込信号cがCPU2へ印加される。その結果、CPU2は即座に該当データaに対する割込処理Pを開始する。

【0032】このように構成されたコンピュータシステムの割込制御装置においては、一つのデータaが入力されてからの経過時間Tに比例する割込優先度Gが実行中処理業務の優先度Kを越えた時点で、この時点までにFIFO型レジスタ9に記憶されている全部のデータaに対する割込処理Pをまとめて実行する。

【0033】したがって、CPU2が現在実行中の処理業務の優先度Kが低い場合は、データ受信後のごく短時間経過のちに該当データaに対する割込処理が実施される。また、CPU2の実行中処理業務の優先度Kが高い場合は待たされる。その結果、割込処理要求が過度に待たされることはないので、シリアル伝送回路6における伝送応答性が過度に低下することはない。また、CPU

6

2に過度の処理負担が加わることはない。よって、コンピュータシステム全体の処理能力を向上できる。

【0034】なお、従来装置において、各データaに対する割込優先度をCPU2の各処理業務の各優先度Kより高く設定した場合における各データaに対する割込処理Qは図2に示すように、それぞれ各データaの各入力時刻 t_1 、 t_2 、 t_3 、 t_7 において実行される。この場合、シリアル伝送回路6における高い伝送応答性を維持できるが、CPU2における処理業務がその都度中断されて、CPU2における処理能力が低下する。

【0035】また、従来装置において、各データaに対する割込優先度をCPU2の各処理業務の各優先度Kより低く設定した場合における各データaに対する割込処理Rは図2に示すように、CPU2における各業務処理が終了した時刻 t_6 以降にまとめて実施される。この場合、シリアル伝送回路6における伝送応答性が低下する。

【0036】図3は本発明の他の実施例に係わる割込制御装置が組込まれたコンピュータシステムを示すブロック図である。図1に示す実施例システムと同一部分には同一符号が付してある。したがって、重複する部分の詳細説明を省略する。

【0037】この実施例システムのシリアル伝送回路6aは非同期に入力される各データaをFIFO型レジスタ9へ順次書込むとともに、各データaが入力される毎にHレベルの割込要求信号 b_1 を割込制御装置7a内のカウンタ19aのクロック端子CKへ送出する。また、シリアル伝送回路6aはFIFO型レジスタ9に記憶されている各データaがCPU2に読出されて、割込処理Pが終了すると、カウンタ11aのクリア端子CLへHレベルのクリア信号dを送出する。

【0038】カウンタ11aは、シリアル伝送回路6aから出力される割込要求信号 b_1 の数を計数して、この計数値に比例する割込優先度Gaを次の比較器12のX端子へ送出する。比較器12は、カウンタ11aからの割込優先度Gaが実行中処理業務の優先度Kより高くなると、CPU2へ割込信号cを送出する。

【0039】このように構成されたコンピュータシステムの割込制御装置であれば、カウンタ11aから出力される割込優先度Gaはシリアル伝送回路6aのFIFO型レジスタ9に記憶されているデータaの数に比例して増加する。したがって、シリアル伝送回路6aに入力されて実行されていない割込処理要求数が増加して割込優先度GaがCPU2の実行中処理業務の優先度Kを越えた時点で、各データaに対する割込処理がまとめて実行される。

【0040】図4は、図2に示したタイムチャートと同様に非同期な時刻 t_1 、 t_2 、 t_3 、 t_7 において、各データaが入力された場合におけるカウンタ11aから出力される割込優先度GaとCPU2の優先度KとCP

(5)

7

U2における割込処理Paの実行タイミングを示すタイムチャートである。

【0041】図示するように、割込優先度GaがCPU2の優先度Kを越えた時刻 t_3 において、時刻 t_1 、 t_2 、 t_3 に入力された3つのデータaに対する割込処理Paがまとめて実行される。

【0042】このように構成された割込制御装置においては、データaがCPU2の優先度Kで定まる個数だけシリアル伝送回路6aへ入力した時点で、まとめて、割込処理Paが実行される。したがって、CPU2の優先度Kが低い状態においては、入力されたデータaは比較的短時間のうちに、割込処理が実行されるので、シリアル伝送回路6aにおける高い伝送応答性を確保できる。

【0043】逆に、CPU2の優先度Kが高い状態においては、入力されたデータaはある程度その数がまとまった時点で、まとめて割込処理Paが実行される。その結果、各データa毎にそれぞれ個別に割込処理を実施する場合に比較して、CPU2の処理能力を向上できる。

【0044】なお、本発明は上述した各実施例に限定されるものではない。例えば、割込優先度を、前記経過時間TとFIFO型レジスタ9に記憶されているデータaの数Nとの関数 $F = (T, N)$ で表現してもよい。

【0045】

【発明の効果】以上説明したように本発明のコンピュー

8

タシステムの割込制御装置においては、割込処理要求の優先度を固定化せずに、割込要求の入力状況に応じて割込要求を変化させて、この割込優先度が演算処理部における実行中処理業務の優先度を越えたタイミングで割込処理を実行している。したがって、シリアル伝送における伝送応答性を低下することなく、かつ演算処理部における業務処理が平均化され、コンピュータシステム全体の業務処理を円滑に実行できる。

【図面の簡単な説明】

10 【図1】 本発明の一実施例に係わる割込制御装置が組込まれたコンピュータシステム全体を示すブロック図。

【図2】 同実施例割込制御装置の動作を示すタイムチャート。

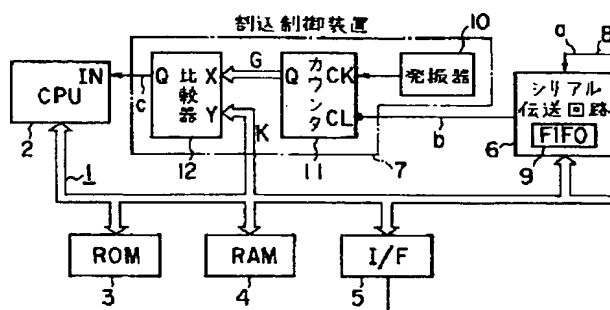
【図3】 本発明の他の実施例に係わる割込制御装置が組込まれたコンピュータシステム全体を示すブロック図。

【図4】 同実施例割込制御装置の動作を示すタイムチャート。

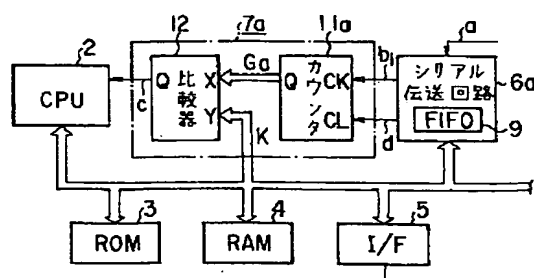
【符号の説明】

20 1…バスライン、2…CPU、6、6a…シリアル伝送回路、7…割込制御装置、9…FIFO型レジスタ、10…発振器、11、11a…カウンタ、12…比較器。

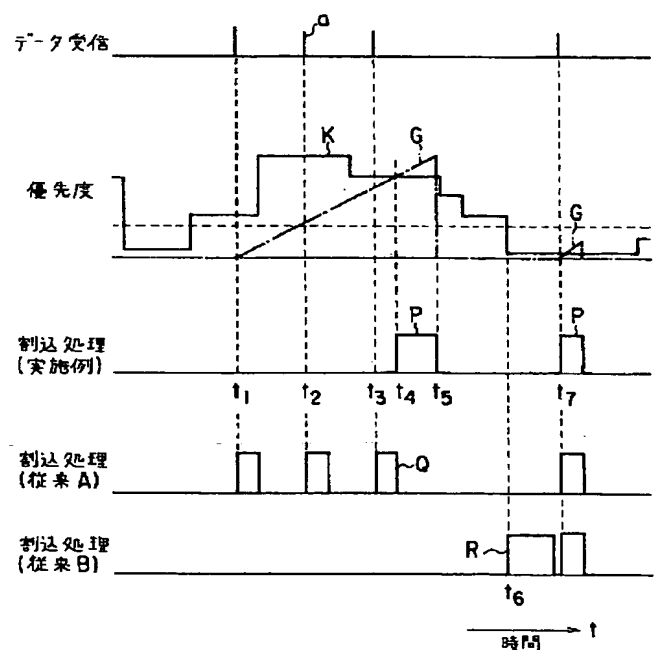
【図1】



【図3】



【図2】



(6)

【図4】

